

437/40 TFI

7/5/86

50

61-185724

Aug. 19, 1986

PRODUCTION FOR THIN **FILM** **TRANSISTOR**

INVENTOR: KOHEI KISHI, et al. (2)

ASSIGNEE: SHARP CORP

APPL NO: 60-27394

DATE FILED: Feb. 13, 1985

PATENT ABSTRACTS OF JAPAN

ABS GRP NO: P534

ABS VOL NO: Vol. 11, No. 9

ABS PUB DATE: Jan. 10, 1987

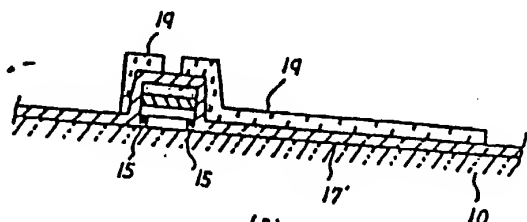
INT-CL: G02F 1/133; G09F 9/30; H01L 27/12; H01L 29/78

ABSTRACT:

PURPOSE: To simplify the production process and improve the productivity by reducing the number of times of the use of a mask only two and reducing that of the mask alignment operation to one when individual layers constituting a thin **film** **transistor** TR are patterned after being laminated.

CONSTITUTION: A gate electrode bar 11', a gate insulating film 12', a semiconductor film 13', and an electrode film 14' are laminated continuously on a glass substrate 10. Thereafter, a photoresist film 18 is applied, and first mask is used to perform exposure and development. This four-layered film is etched to be patterned. Next, the **anodic** oxidation of pattern edge parts of the Al film 11' to be the gate electrode bar is performed. A transparent electrode film 17 is accumulated on all of the surface including an electrode film 14, and a photoresist 19 is applied, and the second mask is used to perform exposure and development in accordance with shapes of a source electrode bar 16 and a drain electrode 17. The mask alignment operation is performed only once in this stage. The transparent electrode film 17 is formed by etching in accordance with the photoresist 19, and the source electrode bar 16 and the drain electrode 17 are patterned, and the electrode film 14 is etched.

(A)



(B)

FIG 5

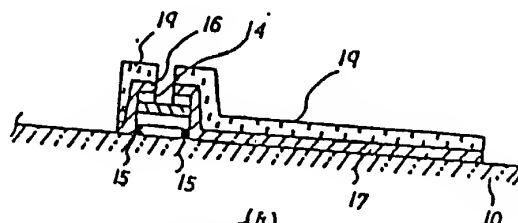
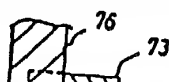


FIG 6

BEST AVAILABLE COPY



⑩Int. Cl.⁴ 識別記号 庁内整理番号 ④公開 昭和61年(1986)8月19日
 G 02 F 1/133 1 1 8 D-8205-2H
 G 09 F 9/30 6810-5C
 H 01 L 27/12 7514-5F
 29/78 8422-5F 審査請求 未請求 発明の数 1 (全 5 頁)

④発明の名称 薄膜トランジスタの製造方法

⑥特 願 昭60-27394

⑥出 願 昭60(1985)2月13日

⑦発 明 者 岸 幸 平 大阪市阿倍野区長池町22番22号 シャープ株式会社内
 ⑦発 明 者 向 殿 充 浩 大阪市阿倍野区長池町22番22号 シャープ株式会社内
 ⑦発 明 者 船 田 文 明 大阪市阿倍野区長池町22番22号 シャープ株式会社内
 ⑦出 願 人 シャープ株式会社 大阪市阿倍野区長池町22番22号
 ⑦代 理 人 弁理士 福士 受彦 外2名

明 細 書

1. 発明の名称

薄膜トランジスタの製造方法

2. 特許請求の範囲

1. 絶縁性基板上にゲート電極となる金属膜、ゲート絶縁膜となる第1の絶縁膜、半導体膜及び該半導体膜とオーミックコンタクトを形成するための電極膜を連続して積層し4層膜を形成する工程と、

前記4層膜を連続してエッチングしパターン化する工程と、

前記金属膜のパターンエッジ部を陽極酸化して第2の絶縁膜を形成する工程と、

ソース・ドレイン電極及び表示電極となる透明導電膜を増設する工程と、

前記透明導電膜及び前記電極膜の順で連続してエッチングパターン化し、ソース電極及びドレイン電極に分離する工程と、

を具備して成ることを特徴とする薄膜トランジスタの製造方法。

3. 発明の詳細な説明

〈産業上の利用分野〉

本発明は、アクティブ・マトリックス型液晶表示装置等に利用することのできる薄膜トランジスタ(TFT)の製造方法に関するものである。

〈発明の概要〉

本発明は、TFTの製作プロセスにおいてマスクアライメント操作を簡素化して歩留りを向上させるために、TFTの製造工程に独特の技術的手段を駆使したものであり、パターンエッチング技術とリフトオフ法及びゲート電極部材の陽極酸化法をTFTのパターン化プロセスに組み込むことにより少ないマスクアライメント操作でTFTを製作することのできる製造技術を提供することを目的とする。

〈従来の技術〉

TFTを表示セル基板にマトリックス状に配列したアクティブマトリックス型液晶表示装置は高品位の大容量表示を可能とした表示装置であり、テレビジョン等への応用が活発に行なわれている。

以下、従来の液晶テレビに用いらる TFT アレイ基板の製造方法について第7図(A)(B)を参照しながら説明する。第7図(A)(B)はマスク3層を用いて製作する TFT アレイの1絵素分の模式平面図及び X-X' 断面図である。透明絶縁性基板(70)上に、金属膜を堆積してエッチング法にてパターン化を行い、Al等から成るゲート電極バー(71)を形成する。次に酸化膜又は窒化膜から成るゲート絶縁膜(72)、Si、CdS等から成る半導体膜(73)と連続して積層する。その後、半導体膜(73)をエッチングにてパターン化し、この上に透明導電膜を堆積する。この透明導電膜をエッチングしてソース電極バー(76)及びドレイン電極兼表示電極(77)をパターン形成する。以上により1絵素分の TFT が作製される。

〈発明が解決しようとする問題点〉

このように従来の TFT アレイ基板では少なくともエッチング時のマスクを3層使用するのでマスクアライメント操作が最低2度必要である。このため製作工程が煩雑となり、製造コストの増

大や歩留りの低下等の問題が招来する。

〈問題点を解決するための手段〉

本発明は上述の問題点に鑑み、TFTを構成する各層を積層した後パターン化する際にマスクを2回使用するのみとし、各マスクの使用の間にゲート電極用金属層の陽極酸化法を介してマスクアライメント操作を1回とすることにより製作工程を簡略化し生産性の向上を達成したことを特徴としている。

〈実施例〉

第1図(A)(B)は、本発明により製作された TFT アレイ基板1絵素分の模式平面図及び X-X' 断面図である。使用するマスクは、ゲート電極バー(11)、ゲート絶縁膜(12)、半導体膜(13)及び半導体膜(13)とオーミックコンタクトを形成する電極膜(14)をパターン化するための第1のマスク並びにソース電極バー(16)、ドレイン電極兼表示電極(17)及び半導体膜(13)とオーミックコンタクトを形成する電極膜(14)をパターン化するための第2のマスクの計2層のみであ

る。以下、第2図(A)(B)乃至第7図(A)(B)に示す各製作プロセスにおける平面図及び X-X' 断面図を参照しながら TFT アレイの製作プロセス及び具体的な構造について詳細に説明する。

○工程Ⅰ(第2図(A)(B)参照)

まず、ガラス基板(10)上に、ゲート電極バーとなる Al 膜(11')をスパッタ法にて膜厚 2000 Å 堆積する。次に、プラズマ CVD 法により、ゲート絶縁膜として Si_3N_4 (12')、半導体膜として無定形水素化シリコン($\alpha\text{-Si:H}$)(13')、 $\alpha\text{-Si:H}$ 膜とオーミックコンタクトを形成する電極膜としてリンドープの $\alpha\text{-Si:H}$ ($\text{n}^+\alpha\text{-Si:H}$)(14')を連続して積層する。膜厚は、それぞれ 2000 Å、2000 Å、1000 Å 程度に設定する。とれら4層膜形成後、ホトレジスト(18)を塗布し、第1のマスクを用いて露光・現像する。

○工程Ⅱ(第3図(A)(B)参照)

上記工程Ⅰで得られた4層膜をエッチングしてパターン化する。この際、 $\text{n}^+\alpha\text{-Si:H}$ (14')

及び $\alpha\text{-Si:H}$ (13')のエッチャントは HF と HNO_3 の混合液を用い、 Si_3N_4 (12')のエッチャントは 5% HF 水溶液を用いる。また Al 膜(11')のエッチャントは H_3PO_4 系水溶液とする。上述した各層の順序で基板(10)とともに各層を各エッチャントに浸漬して4層を同一パターンでエッチングする。

○工程Ⅲ(第4図(A)(B)参照)

この工程では、ゲート電極バーとなる Al 膜(11')のパターンエッジ部の陽極酸化を行なう。本工程の目的は、後工程Ⅳでパターン化されるソース電極バー及びドレイン電極兼表示電極とゲート電極バー(11)間の電気的導通を防止するためである。Al 膜(11')のパターンエッジ部の陽極酸化は、ホウ酸アンモニウム水溶液中電圧 40 V にて化成し、Al 膜(11')のパターンエッジ部に Al_2O_3 (15)を形成することにより行なう。

尚、本実施例では、ゲート電極バー(11)として Al を使用しそのパターンエッジ部に Al_2O_3 (15)を形成したが、ゲート電極バー材料とし

ては、これ以外にも Ta_2N_5 、 Hf 等、陽極酸化することにより絶縁膜を形成するいわゆるパルス金属膜を使用することができる。但し Ta_2O_5 の場合には、エッチング時のガラス基板 (10) の損傷を防ぐために、 Ta_2O_5 の堆積に先立って、 Ta_2O_5 膜を堆積することが必要となる場合がある。

○工程 N (第 5 圖 (A) (B) 参照)

次に、ソース電極バー及びドレイン電極兼表示電極を形成するために、透明導電膜(17')を真空蒸着法にて $n^+_{\text{a-Si:H}}$ (14')表面を含む全面に厚さ3000Å程度積層する。その後、ホトレジスト(19)を塗布し、第2のマスクを用いてソース電極バー、ドレイン電極及び表示電極の形状に対応した露光現像を行なう。マスクアライメント操作は、本工程において1回のみであり、従って操作が簡単で製品の低コスト化に大きく寄与する。

○工製！【第6圖(A)(B)参照】

この工程では、透明導電膜(17')をホトレジ

を行列方向に延長して同一行・同一列にある各 TFT のゲート電極とソース電極を共通接続することにより TFT アレイ基板が構成される。この TFT アレイ基板を液晶表示装置等の一方のセル基板として利用すれば、大容量の表示情報を鮮明なる画像で表示画面に生起させることができる。

〈 預明の効果 〉

以上詳説した如く本発明では、マスク2層のみでTFTを作製することができるTFTアレイ基板を製作する上で最も煩わしいマスクアライメント操作を1回に減少させることができる。このため、TFTアレイ基板の低コスト化、高歩留化に多大な効果がある。

4. 図面の簡単な説明

第1図(A)(B)は本発明の1実施例の説明に供するTFTの平面図及びX-X'断面図である。第2図(A)(B)乃至第6図(A)(B)は第1図に示すTFTの製作工程を説明する平面図及びX-X'断面図である。第7図(A)(B)は従来のTFTの

スト(18)に即してエッチング成形し、ソース電極バー(16)とドレイン電極兼表示電極(17)のパターン化を行なうとともにICオーミックコンタクトを形成する $n^+a-Si:H$ (14')のエッチングを行なう。尚、上記透明導電膜(17')のエッチャントは HCl 水溶液、 $n^+a-Si:H$ (14')のエッチャントは HF と HNO_3 の混合液を用いた。上述した各層の順で、基板10とともに各層を各エッチャントに浸漬し、透明導電膜(17')よりソース電極バー(16)とドレイン電極兼表示電極(17)のパターン化及びソース・ドレインギャップを形成する。また $n^+a-Si:H$ (14')より $a-Si:H$ 半導体層(13)とソース電極バー(16)及びドレイン電極(17)間のオーミックコンタクト用電極膜(14)を成形加工する。

0 工程背景

ホトレジスト(19)を除去して第1図(A)(B)に示すようを作製される。

上記TFTを基板(10)上にマトリックス配置し、ゲート電極バー(11)とソース電極バー(16)

レイ蓋板を説明する平面図及びX-X'断面図である。

10…ガラス基板 11…ゲート電極バー
12…ゲート絶縁膜 13…半導体層
14…電極膜 15…陽極酸化膜 16…
ソース電極バー 17…ドレイン電極接続
電極

代理人 弁護士 福 士 愛 彦(他 2 名)

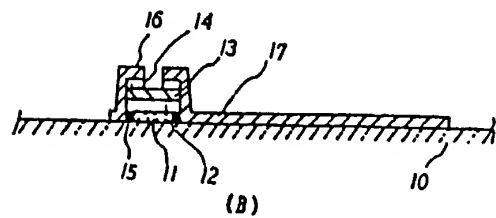
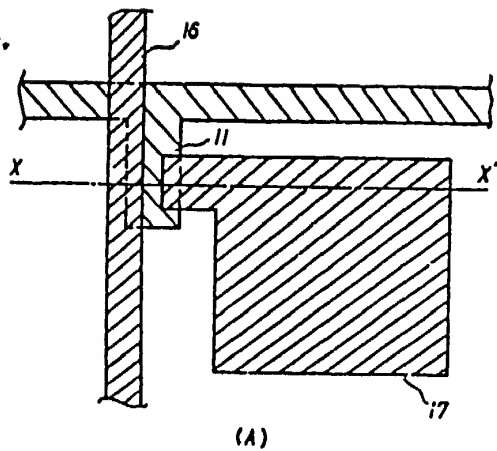


图 1 图

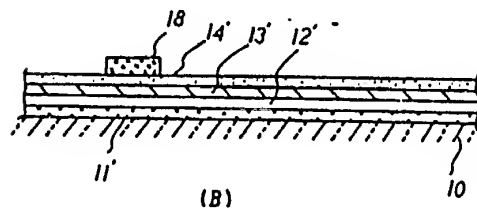
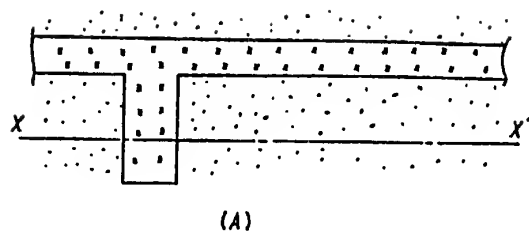


图 2 图

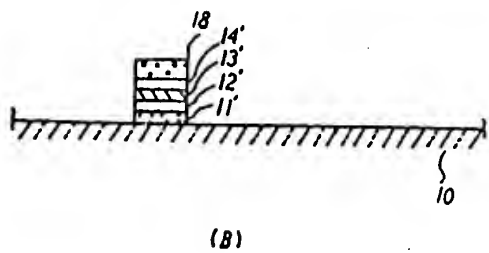
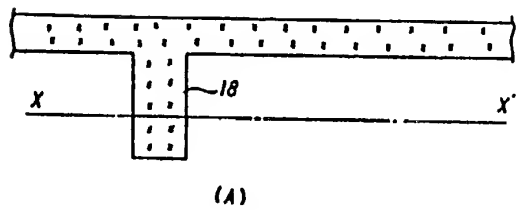


图 3 图

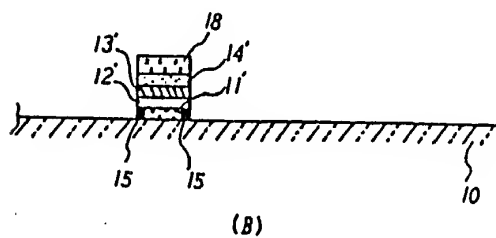
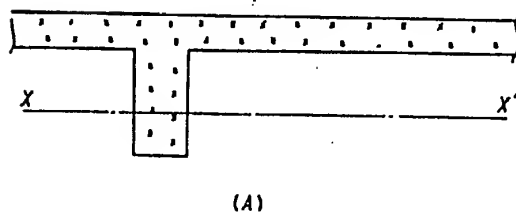
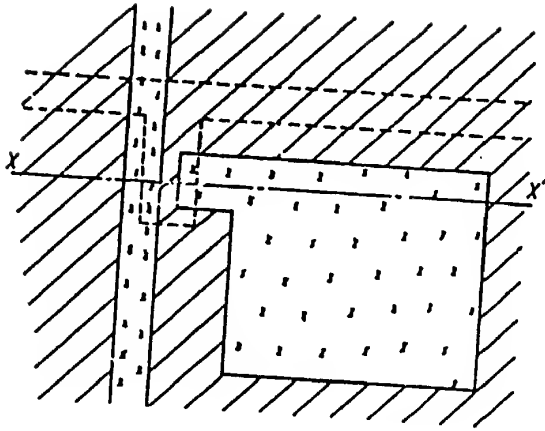
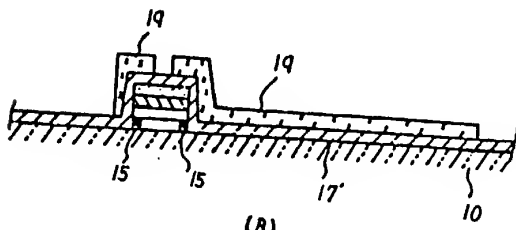


图 4 图

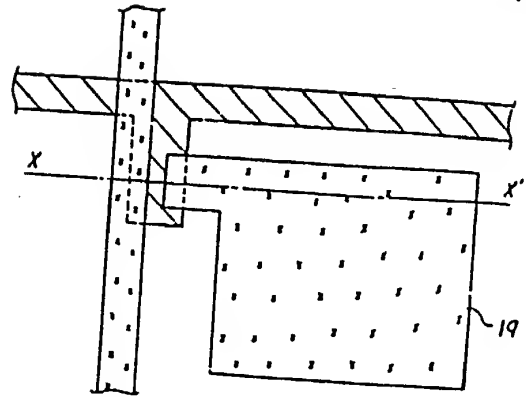


(A)

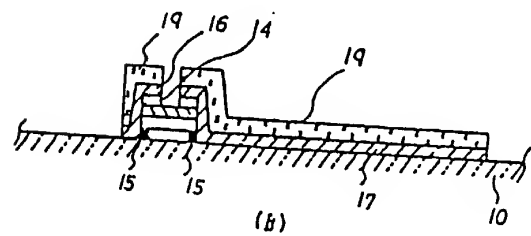


(B)

図 5

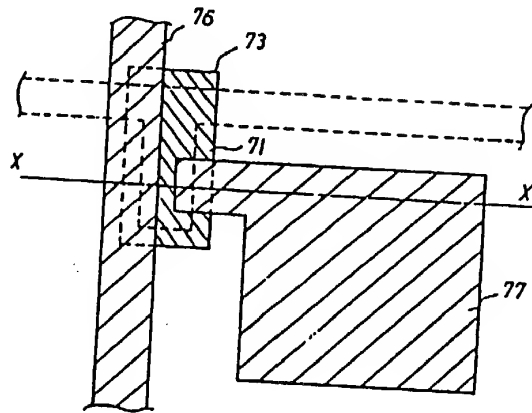


(A)

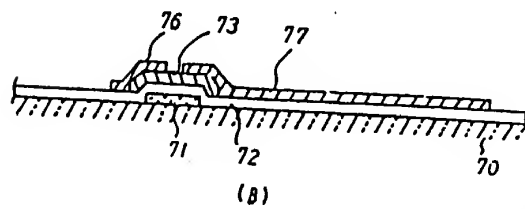


(B)

図 6



(A)



(B)

図 7